

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	:	
	:	
Chaur-Chin YANG et al.	:	Group Art Unit: Not Yet Assigned
	:	
Application No.: Not Yet Assigned	:	Examiner: Not Yet Assigned
	:	
Filed: October 31, 2003	:	
	:	
For: MULTI-CHIP STACK FLIP-CHIP PACKAGE		

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Application No. 091221786 filed December 31, 2002.**

A certified copy of Applicant's priority document is submitted herewith.

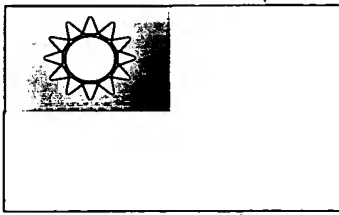
Respectfully submitted,

By:


Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: October 31, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 31 日
Application Date

申請案號：091221786
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 7 日
Issue Date

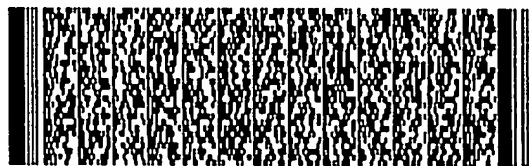
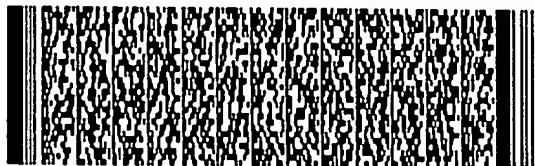
發文字號：03221007490
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	多晶片堆疊覆晶封裝構造
	英 文	MULTI-CHIP STACK FLIP-CHIP PACKAGE
二、 創作人 (共2人)	姓 名 (中文)	1. 楊朝欽 2. 王頌斐
	姓 名 (英文)	1. Chaur-Chin Yang 2. Sung-Fei Wang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台南市西區友愛街201巷3號 2. 高雄市楠梓區加昌路729巷90弄21號
	住居所 (英 文)	1. No. 3, Lane 201, Youai St., Shi Chiu, Tainan, Taiwan 703, R.O.C. 2. No. 21, Alley 90, Lane 729, Jiachang Rd., Nantz Chiu, Kaohsiung, Taiwan 811, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang



四、中文創作摘要 (創作名稱：多晶片堆疊覆晶封裝構造)

一種多晶片堆疊覆晶封裝構造，其係在一基板上設有一虛晶片，該虛晶片係具有一線路重分佈層，該線路重分佈層係包含複數個供晶片覆晶接合之覆晶墊與位於該虛晶片周邊之複數個連接墊，利用該覆晶接合有至少一晶片之虛晶片作為該晶片與基板的電性轉接板，達到多晶片覆晶堆疊與微間距覆晶接合之功效。

伍、(一)、本案代表圖為：第__1__圖

(二)、本案代表圖之元件代表符號簡單說明：

100 覆晶封裝構造

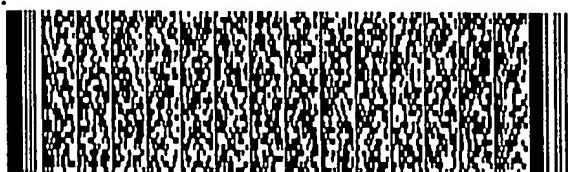
110 基板

111 上表面

112 下表面

陸、英文創作摘要 (創作名稱：MULTI-CHIP STACK FLIP-CHIP PACKAGE)

A multi-chip stack flip-chip package comprises a dummy die on a substrate. The dummy die has a redistribution layer which includes a plurality of flip-chip pads for flip-chip mounting a chip and a plurality of connecting pads on perimeters. The dummy die flip-chip mounting at least a chip is configured for being an electrically conducting medium between the chip and the substrate for multi-chip flip-chip stack and fine pitch flip-chip mounting.



四、中文創作摘要 (創作名稱：多晶片堆疊覆晶封裝構造)

120	第一晶片	121	凸塊	122	黏膠層
130	虛晶片	131	重分佈電路層		
134	線路	135	電性連接元件		
140	第二晶片	141	凸塊		
150	絕緣膠體	160	鐳球		

陸、英文創作摘要 (創作名稱：MULTI-CHIP STACK FLIP-CHIP PACKAGE)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

【 新 型 所 屬 之 技 術 領 域 】

本創作係有關於一種多晶片覆晶封裝構造，特別係有關於一種多晶片堆疊覆晶封裝構造。

【 先 前 技 術 】

在常見的多晶片覆晶封裝構造中，複數個具有凸塊之晶片係直接覆晶接合在一基板上，如本國專利公告第465803號「多晶片堆疊構造」，複數個晶片係直接覆晶在基板之上表面與下表面，其係將晶片翻轉使其具有凸塊之主動面朝下壓合於該基板，然而此一構造無法達到垂直覆晶堆疊，基板需要設計足夠的區域，以供每一晶片之覆晶接合，致使該基板必須要具有相當大尺寸，再者，習知基板係為印刷電路板〔PCB〕，目前PCB封裝基板之覆晶墊間距極限為200微米，要製造覆晶墊間距小於150微米之PCB封裝基板極為困難，而目前晶片之積體電路線距已可達0.1微米，即晶片的尺寸將日漸微小化，晶片的凸塊也將更為高密度排列，覆晶晶片之凸塊間距可達150微米，特殊設計之覆晶凸塊間距更可達70~90微米，積體電路晶片與印刷電路板兩者技術差異擴大，使得基板不易製造出微小間距的覆晶墊〔flip-chip pad〕，導致晶片之覆晶接合良率無法達到可被接受量產的合理範圍。

本國專利公告第461058號「具有整合型被動元件之堆疊式多晶片封裝結構」係揭示有另一種習知之多晶片覆晶封裝構造，其係在一較大尺寸之第一晶片上覆晶接合有一較小尺寸之第二晶片，且至少一被動元件安置在第一晶片



五、創作說明 (2)

未被第二晶片所佔據之空間上，該第一晶片顯然不同一般之晶片，需要額外的電路設計，以連接第二晶片與被動元件，且晶片堆疊時應由大而小往上堆疊，晶片尺寸亦受到局限，再者，第一晶片之主動面周邊需要排列第一晶片自身之鐳墊與導接第二晶片之連接墊，顯得過於擁擠。

【新型內容】

本創作之主要目的係在於提供一種多晶片堆疊覆晶封裝構造，其係利用不具有電性運算功能及具有一線路重分佈層之虛晶片，供具有電性運算功能之晶片覆晶接合，該虛晶片係能貼附於另一晶片，以達到多晶片覆晶堆疊與微間距接合之功效。

本創作之另一目的係在於提供一種多晶片堆疊覆晶組合構造，其係利用不具有電性運算功能之虛晶片具有一線路重分佈層，以供晶片之覆晶接合，該虛晶片係能貼附於一基板或另一晶片，作為該晶片與該基板之電性轉接板，以達到微間距接合之功效。

依本創作之多晶片堆疊覆晶封裝構造，其係主要包含一具有一上表面及一下表面之基板，如印刷電路板，至少一第一晶片係電性接合於該基板之上表面，一虛晶片係疊設於該第一晶片上，該虛晶片係具有一線路重分佈層

(RDL, redistribution layer)，該線路重分佈層係包含有複數個覆晶墊與複數個連接墊，該些連接墊係排列於該虛晶片之周邊，至少一第二晶片係覆晶接合至該虛晶片，使得該第二晶片之凸塊與該虛晶片之線路重分佈層之



五、創作說明 (3)

覆晶墊電性連接，如以鐸線等電性連接元件電性連接該虛晶片之線路重分佈層之連接墊至該基板，以達到多晶片之垂直覆晶堆疊。

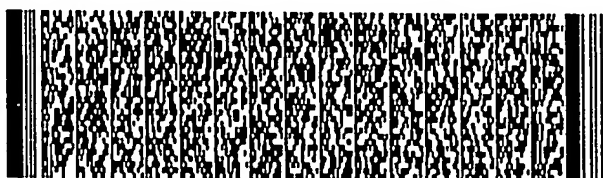
【實施方式】

參閱所附圖式，本創作將列舉以下之實施例說明。

依本創作之一具體實施例，請參閱第1圖，一種多晶片堆疊覆晶封裝構造100係主要包含有一基板110、至少一第一晶片120、一虛晶片130 (dummy die) 及至少一第二晶片140，該基板110具有一上表面111及一下表面112，其係可為BT樹脂、FR-4樹脂或FR-5樹脂等印刷電路板。

至少一第一晶片120，其係為一種具有電性運算功能之晶片，如微處理器、微控制器、記憶體或特殊用途積體電路 (ASIC)，該第一晶片120係電性接合於該基板110之該上表面111，在本實施例中，該第一晶片120係覆晶接合於該基板110，該第一晶片120係具有在主動表面之複數個凸塊121，該些凸塊121係接合於該基板110，或者，該第一晶片120亦可以主動表面朝上貼附於該基板110之上表面111，再以鐸線電性連接之。

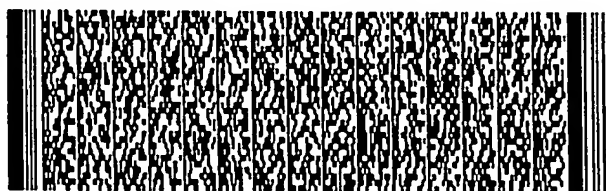
該虛晶片130 (dummy die) 係以黏膠層122黏著疊設於該第一晶片120上，該虛晶片130係為一種不具有電性運算功能的矽基板，且該虛晶片130具有一以積體電路製程形成之線路重分佈層131 (redistribution layer)，請參閱第1及2圖，該線路重分佈層131係包含有複數個覆晶墊132與複數個連接墊133，每一對應之覆晶墊132與連接



五、創作說明 (4)

墊133係以積體線路134電性連接，該些連接墊133係排列於該虛晶片130之周邊，該些覆晶墊132係供第二晶片140覆晶接合，該些覆晶墊132之間距係小於該些連接墊133之間距，由於該線路重分佈層131係能運用積體電路製作技術，先濺鍍〔sputtering〕上一層金屬層，上光阻後，利用曝光顯影與蝕刻方法形成該些覆晶墊132、該些連接墊133及積體線路134，較佳地，可再上一顯露出該些覆晶墊132與該些連接墊133之護層〔passivation layer，圖未繪出〕，該些連接墊133係供電性連接元件135如鐸線或TAB指線等電性連接至該基板110。於本實施例中，覆晶墊132之間距係遠小於基板110接點之間距，例如覆晶墊132之間距係不大於150微米。至少一第二晶片140覆晶接合於該虛晶片130上，該第二晶片140之主動表面係具有複數個凸塊141，利用覆晶接合〔flip-chip mounting，或稱C4〕技術，將該些凸塊141接合於該線路重分佈層131之覆晶墊132，另、形成有一絕緣膠體150，用以保護該第一晶片120、第二晶片140、虛晶片130及電性連接元件135，在該基板110之該下表面112係可形成有複數個鐸球160

〔solder ball〕以與外部之裝置電性連接，利用該虛晶片130作為該第二晶片140與該基板110之電性轉接板，達到多晶片覆晶堆疊型態，且能有效縮小基板110之面積尺寸，此外，該虛晶片130之覆晶墊132係能在積體電路製程上匹配該第二晶片140之凸塊141高密度分佈，以達到微間距接合之功效，較佳地，該虛晶片130之尺寸係大於該第

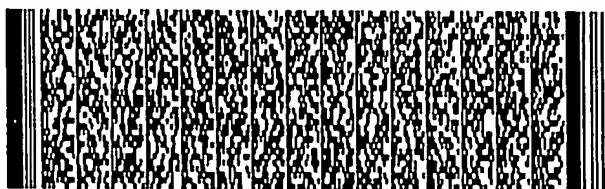


五、創作說明 (5)

二晶片140，以利銲線等電性連接元件135接合該虛晶片130之該些連接墊133，而在本實施例中，第二晶片140之尺寸可大於、等於、或小於第一晶片120，必要時可再利用另一虛晶片130與另一第二晶片140往上堆疊（圖未繪出）以形成多晶片堆疊覆晶封裝構造，故本創作之多晶片堆疊覆晶封裝構造100係具有複數個相同覆晶型態晶片之垂直堆疊封裝之功效。

在本創作之第二具體實施例中，係為另一種等效性運用之封裝構造，請參閱第3圖，一種多晶片堆疊之覆晶組合構造200係包含一基板210，如主機板或記憶體模組基板等印刷電路板，一虛晶片230係以黏貼方式疊設於該基板210之上表面211，該虛晶片230係具有一由積體電路製程完成之線路重分佈層231，該線路重分佈層231係包含有複數個覆晶墊232與連接墊233，至少一晶片220係覆晶接合至該虛晶片230上，使得該晶片220之凸塊221接合至該線路重分佈層231之覆晶墊232，該些連接墊233係排列於該虛晶片230之周邊，以供電性連接元件234電性接合至該基板210，故該虛晶片230作為該晶片220與該基板210之電性轉接板，以達到微間距接合之功效，此外，在電性連接之後，可利用塗膠方式提供一絕緣膠體240。

本創作之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本創作之精神和範圍內所作之任何變化與修改，均屬於本創作之保護範圍。



圖式簡單說明

【圖式簡單說明】

- 第1 圖：依本創作之第一具體實施例，一多晶片堆疊覆晶封裝構造之截面示意圖；
- 第2 圖：依本創作之第一具體實施例，一多晶片堆疊覆晶封裝構造之虛晶片之正面示意圖；及
- 第3 圖：依本創作之第二具體實施例，一多晶片堆疊之覆晶組合構造之截面示意圖。

元件符號簡單說明：

100 覆晶封裝構造

- | | | |
|----------|------------|---------|
| 110 基板 | 111 上表面 | 112 下表面 |
| 120 第一晶片 | 121 凸塊 | 122 黏膠層 |
| 130 虛晶片 | 131 線路重分佈層 | |
| 132 覆晶墊 | 133 連接墊 | 134 線路 |

135 電性連接元件

- | | |
|----------|--------|
| 140 第二晶片 | 141 凸塊 |
| 150 絕緣膠體 | 160 鐳球 |

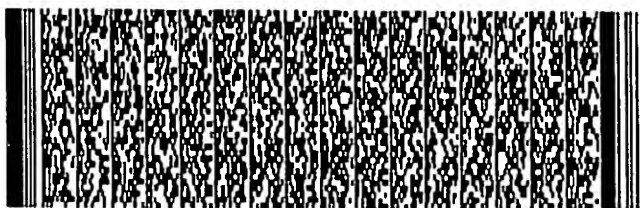
200 覆晶組合構造

- | | | |
|----------|------------|---------|
| 210 基板 | 211 上表面 | |
| 220 晶片 | 221 凸塊 | |
| 230 虛晶片 | 231 線路重分佈層 | 232 覆晶墊 |
| 233 連接墊 | 234 電性連接元件 | |
| 240 絕緣膠體 | | |

六、申請專利範圍

【申請專利範圍】

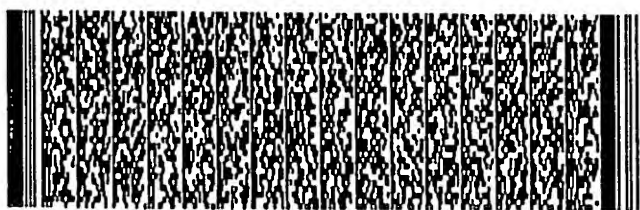
- 1、一種多晶片堆疊覆晶封裝構造，係包含：
 - 一基板，具有一上表面及一下表面；
 - 至少一第一晶片，設置於該基板之上表面；
 - 一虛晶片（dummy die），疊設於該第一晶片，該虛晶片係具有一線路重分佈層（RDL, redistribution layer）；
 - 至少一第二晶片，覆晶接合至該虛晶片並與該虛晶片之線路重分佈層電性連接；及
 - 一電性連接元件，電性連接該虛晶片之線路重分佈層至該基板。
- 2、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該基板係為印刷電路板。
- 3、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該虛晶片之尺寸係大於該第二晶片。
- 4、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該虛晶片之線路重分佈層係包含有複數個覆晶墊與連接墊，該些連接墊係排列於該虛晶片之周邊。
- 5、如申請專利範圍第4項所述之多晶片堆疊覆晶封裝構造，其中該些覆晶墊之間距係小於該些連接墊之間距。
- 6、如申請專利範圍第4項所述之多晶片堆疊覆晶封裝構造，其中該些覆晶墊之間距係不大於150微米。
- 7、如申請專利範圍第4項所述之多晶片堆疊覆晶封裝構造，其中該電性連接元件係為鐸線，其一端接合至該連



六、申請專利範圍

接墊。

- 8、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該第二晶片係具有與該第一晶片之相同尺寸。
- 9、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該第一晶片係覆晶接合於該基板之上表面。
- 10、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該基板之下表面係設有複數個錫球。
- 11、如申請專利範圍第1項所述之多晶片堆疊覆晶封裝構造，其中該基板之上表面係設有一絕緣膠體。
- 12、一種多晶片堆疊之覆晶組合構造，係包含：
 - 一基板，具有一上表面及一下表面；
 - 一虛晶片（dummy die），疊設於該基板之上表面，該虛晶片係具有一線路重分佈層（RDL, redistribution layer）；
 - 至少一晶片，覆晶接合至該虛晶片並與該虛晶片之線路重分佈層電性連接；及
 - 一電性連接元件，電性連接該虛晶片之線路重分佈層至該基板。
- 13、如申請專利範圍第12項所述之多晶片堆疊之覆晶組合構造，其中該基板係為印刷電路板。
- 14、如申請專利範圍第12項所述之多晶片堆疊之覆晶組合構造，其中該些覆晶墊之間距係小於該些連接墊之間距。
- 15、如申請專利範圍第12項所述之多晶片堆疊之覆晶組

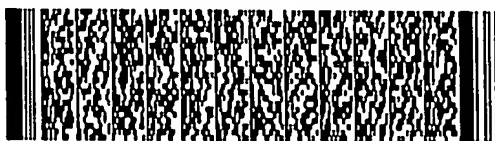


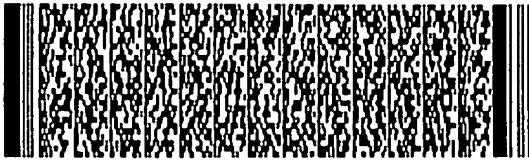
六、申請專利範圍

合構造，其中該些覆晶墊之間距係不大於150微米。

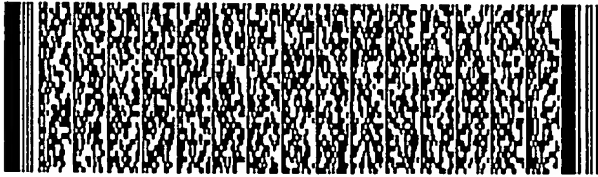
16、如申請專利範圍第12項所述之多晶片堆疊之覆晶組合構造，其中該虛晶片之尺寸係大於該晶片。

17、如申請專利範圍第12項所述之多晶片堆疊之覆晶組合構造，其中該基板之上表面係設有一絕緣膠體。

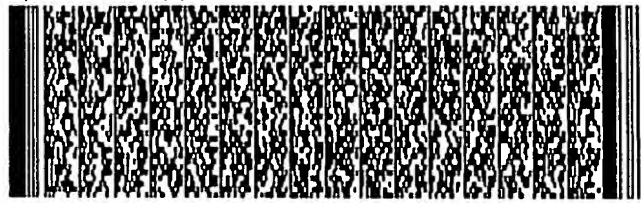




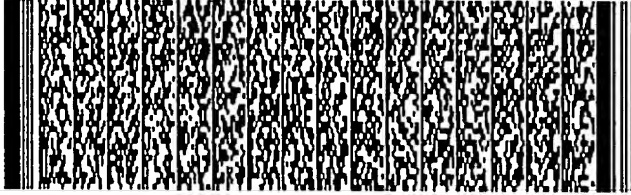
第 10/13 頁



第 11/13 頁

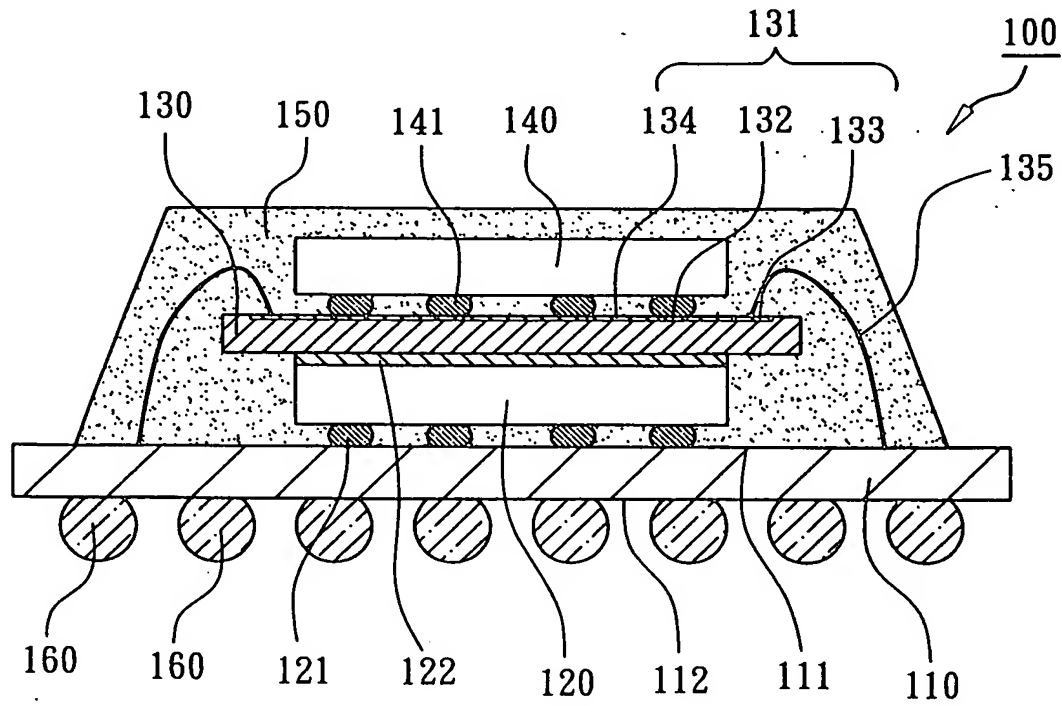


第 12/13 頁

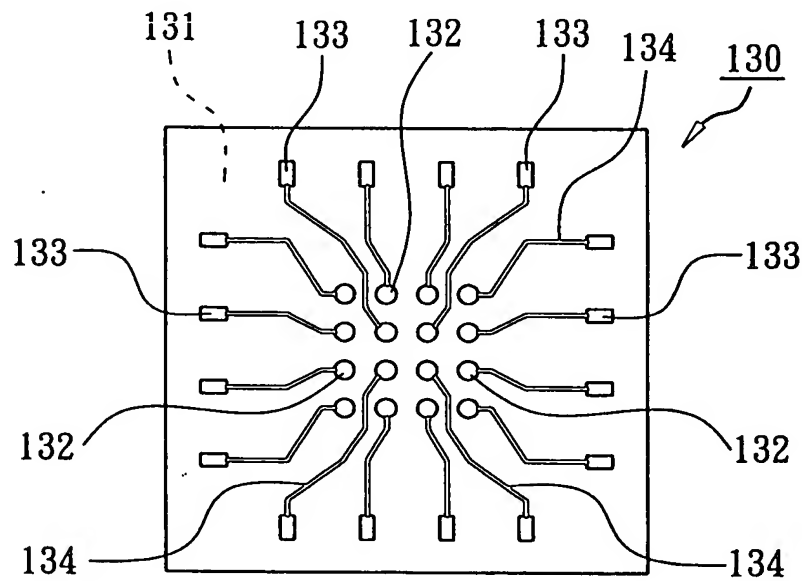


第 13/13 頁

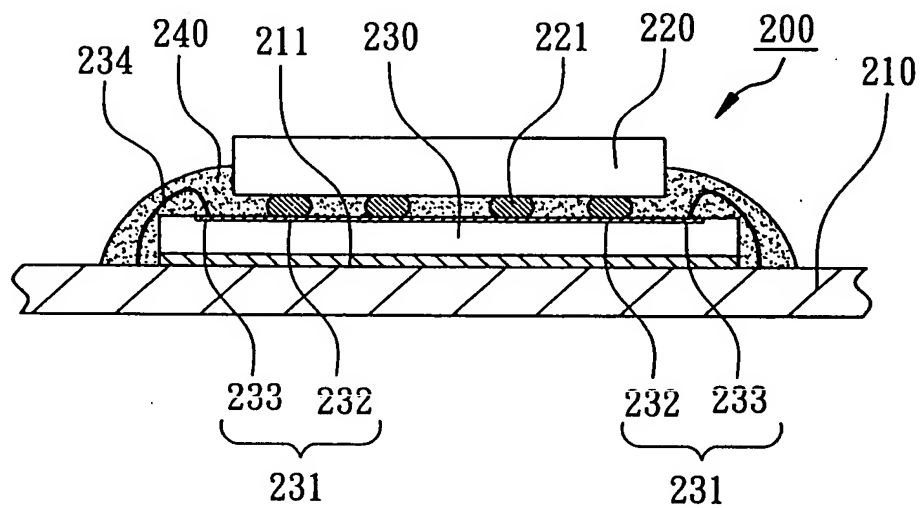




第 1 圖



第 2 圖



第 3 圖